

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

PAT-NO:

JP401175232A

DOCUMENT-IDENTIFIER: JP 01175232 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: July 11, 1989

INVENTOR-INFORMATION:

NAME

TOUNO, HIROE

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SANYO ELECTRIC CO LTD

N/A

APPL-NO: JP62335095

APPL-DATE: December 28, 1987

INT-CL (IPC): H01L021/302

US-CL-CURRENT: 438/714, 438/FOR.117

ABSTRACT:

**PURPOSE:** To execute an etching operation vertically with reference to the surface without charging-up and to execute a process true to a mask by a method wherein an opening is formed in an insulating film on a semiconductor substrate, a metal film is formed and a reactive ion beam etching operation is executed from the vertical direction in a grounded state.

CONSTITUTION: A resist film 2 is coated on a GaAs substrate 1; an opening 3 is formed. An Al film 4 is evaporated on the surface top from the direction at an angle ( $\theta$ ) so that the film is not deposited on the substrate. The Al film is grounded; an etching operation is executed while an ion beam 6 is irradiated vertically; the Al film is removed together with the resist film by using acetone. By this setup, a highly accurate etched part 5 can be formed.

COPYRIGHT: (C)1989,JPO&Japio

## ⑫ 公開特許公報(A)

平1-175232

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

④ 公開 平成1年(1989)7月11日

H 01 L 21/302

J-8223-5F

審査請求 未請求 発明の数 1 (全3頁)

⑬ 発明の名称 半導体装置の製造方法

⑰ 特 願 昭62-335095

⑱ 出 願 昭62(1987)12月28日

⑭ 発 明 者 東 野 太 栄 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内  
⑮ 出 願 人 三 洋 電 機 株 式 会 社 大阪府守口市京阪本通2丁目18番地  
⑯ 代 理 人 弁 理 士 西 野 卓 嗣 外1名

## 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

(1) 半導体基板上に絶縁膜を形成する工程と、前記絶縁膜に前記半導体基板を露出させる開口部を形成する工程と、前記絶縁膜上に金属膜を形成する工程と、前記金属膜を接地した状態で前記半導体基板を該半導体基板表面に対して垂直方向から反応性イオンビームエッチングし、エッチング部を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

(2) 前記金属膜は斜め蒸着により形成されることを特徴とする特許請求の範囲第1項に記載の半導体装置の製造方法。

## 3. 発明の詳細な説明

## 4) 産業上の利用分野

本発明は半導体装置の製造方法に関し、特に反応性イオンビームエッチング装置を用いたエッチング方法の改良に関する。

## 4 従来の技術

反応性イオンビームエッチング(以下RIBEと称す)法に用いられるRIBE装置は、イオン源にエッチングガスを導入し、マイクロ波(例えば、2.45GHz)と磁場(875G)で電子サイクロトロン共鳴(ECR)条件を作りプラズマを発生させ、サンプルホルダーにバイアスを印加することによりプラズマ中のイオンを加速し、このイオンを基板に照射することにより基板をエッチングする装置である。

RIBE法はマスク材料が適切であれば、エッチングが基板表面に対して垂直に進むため、精度のよいエッチングが可能である。

上述の装置は、例えばGaAsFETのサブミクロンのリセス部形成に用いられる。

## 5) 発明が解決しようとする問題点

従来技術では、レジスト等の絶縁膜をマスクとした場合、絶縁膜がチャージアップされる。従って、エッチングの進行が妨げられたり、エッチングの進行方向が曲げられたりするために、所望の

エッチング形状が得られないという問題がある。例えば、第3図に示すように、開口部③を有する絶縁膜②が形成された基板①上に、イオンビーム④を照射すると、基板①表面に対し垂直にエッチングされなくなる。これは、絶縁膜②に留った電荷④のために、イオンビーム④が減速されたり、イオンビーム<sup>(24)</sup>の進行方向が曲げられたりすることが原因であると考えられる。

また、金属膜をマスクとすることによりチャージアップを防ぐことができるが、精密な金属膜パターンを形成することが難しく、所望のエッチング形状が得られないという問題がある。例えば、ウェットエッチングを用いると、パターンの広がり(サイドエッチ)を生じるし、ドライエッチングを用いても、金属膜の膜厚が厚くなるとパターニングできない。

本発明は上述の問題に鑑み為されたものであり、反応性イオンビームエッチングにより精度の高いエッチング部を形成することができる半導体装置の製造方法を提供しようとするものである。

まず、GaAs基板(半導体基板)①上にレジスト膜(東京応化製OEBR-1000M:絶縁膜)②を約1 $\mu$ mの厚さに回転塗布し、80℃、20分のプリベークを行なう。続いて、Deep UV光(波長250nm、強度40mW/cm<sup>2</sup>)でレジスト膜②を約60秒間露光し、現像処理、100℃、10分のポストベークを行ない、幅約1 $\mu$ mの開口部③を形成する(第1図(a))。

レジスト膜②の上面に対し、角度 $\theta$ の方向からハル膜(金属膜)④を蒸着により約300Å堆積する(第1図(b))。このとき、前記角度 $\theta$ を開口部③により露出したGaAs基板①上にA $\ell$ 膜④が堆積しないように選ぶ必要がある。本実施例では角度 $\theta$ は約10°である。このA $\ell$ 膜④の開口幅はレジスト膜②の開口幅に依存し、精度の高いものである。

次に、RIE装置を用いて、A $\ell$ 膜④を接地した状態で、GaAs基板①表面に対して垂直方向からエッチングし、エッチング部⑤を形成する(第1図(c))。

#### 問題点を解決するための手段

本発明は、半導体基板上に絶縁膜を形成する工程と、前記絶縁膜に前記半導体基板を露出させる開口部を形成する工程と、前記絶縁膜上に金属膜を形成する工程と、前記金属膜を接地した状態で前記半導体基板を該半導体基板表面に対して垂直方向から反応性イオンビームエッチングし、エッチング部を形成する工程と、を含むことを特徴とする半導体装置の製造方法である。

#### 作用

本発明によれば、エッチングのマスクとなる膜即ち金属膜が導電性であるため、チャージアップが起こらない。従って、エッチングが半導体基板表面に対して垂直に進み、マスクに忠実な加工が可能となる。また、マスクとなる金属膜のパターン精度は絶縁膜のパターン精度に依存する。

#### 実施例

以下に、本発明の半導体装置の製造方法の一実施例を図面に基づいて説明する。

第1図(a)乃至(d)は工程説明図である。

このとき用いられるRIE装置の概略断面図を第2図に示す。図において、①はエッチング室、②はイオン源(円筒形の筒)であり、イオン源②の周囲にマグネットコイル③が配置されている。また、④は冷却水導入口、⑤はマイクロ波の導波管、⑥はエッチングガス導入管である。⑦はGaAs基板①を載置するサンプルホルダーであり、このサンプルホルダー⑦にはDCバイアス印加手段⑧が接続されている。

斯上のRIE装置を用いてエッチング部⑤を形成するには、①サンプルホルダー⑦上にGaAs基板①(第1図(b)の状態のもの)を載置し、②エッチング室①を $5 \times 10^{-6}$  Torr以下の真空度まで排気し、③CCl<sub>2</sub>F<sub>2</sub>ガスをエッチングガス導入管⑥より導入し、④マイクロ波300W、マグネット電流17AでECRプラズマを発生させ、⑤サンプルホルダー⑦にDCバイアス約-100Vを印加すればよい。エッチング時の圧力は約 $1 \times 10^{-4}$  Torrである。

また、エッチング時には第1図(c)に示す如く、

A膜(4)は接地されているので、チャージアップは防がれ、イオンビーム(8)はGaAs基板(1)表面に対して垂直に入射する。従って、開口部(3)により露出したGaAs基板(1)表面を均一に、しかも、垂直にエッチングすることができる。

続いて、レジスト膜(2)をアセトンにより溶解する。このとき、レジスト膜(2)上のA膜(4)も同時に除去される。

なお、絶縁膜としてSiN、SiO<sub>2</sub>等を、金属膜としてAu、Ti等を、半導体基板としてSi等を用いてもよい。

#### (h) 発明の効果

本発明は以上の説明から明らかなように、マスクとなる金属膜にチャージアップは発生せず、しかも、そのパターン精度は絶縁膜に依存するので、精度の高いエッチング部を形成することができる。

#### 4. 図面の簡単な説明

第1図(a)乃至(d)は本発明実施例の工程説明図、第2図は本発明実施例に用いるRIBE装置の概略断面図、第3図は従来の半導体装置の製造方法

を説明するための図である。

(1)…GaAs基板(半導体基板)、(2)…レジスト膜(絶縁膜)、(3)…開口部、(4)…A膜(金属膜)  
(5)…エッチング部。

出願人 三洋電機株式会社

代理人 弁理士 西野 卓嗣(外1名)

